MANUFACTURE OF SEMICONDUCTOR DEVICE

Publication number: JP61030059
Publication date: 1986-02-12
Inventor: YASUMOTO MASAAKI; HAYAMA HIROSHI; ENOMOTO TADAYOSHI
Applicant: NIPPON ELECTRIC CO
Classification:
- International: ***H01L25/00; H01L21/18; H01L21/768; H01L21/822; H01L23/522; H01L27/00;*** **H01L25/00; H01L21/02; H01L21/70; H01L23/52; H01L27/00;** (IPC1-7): H01L21/88; H01L25/04
- European: H01L21/18B2; H01L21/822B
Application number: JP19840150598 19840720
Priority number(s): JP19840150598 19840720

Also published as:
EP0168815 (A2)
US4612083 (A1)
EP0168815 (A3)
EP0168815 (B1)

Report a data error here

Abstract of **JP61030059**

PURPOSE:To shorten a product-manufacturing term, by a method in which each two of circuit substrates having active layers, insulating layers and metal bumps are combined with the bumps contacted respectively, and then the resulted combinations are stacked, in a case where the circuit substrates having different functions are stacked to make a multi-layer IC. CONSTITUTION:An active layer 102 having an Al metal wiring is formed over a substrate 101 such as an insulator. An SiO2 film 103 is coated thereon and is bored with a required number of openings using photo etching. After metal bumps 104 contacting with the layer 102 are buried therein, insulating adhesive 105 such as polyimide resin is coated thereon thickly and is polished to expose the surfaces of the bumps 104. Thus a first circuit substrate 150 is provided which is buried with the adhesive 150 between the bumps 104 and has a planar surface. Next, a second circuit substrate 151 formed in the same way is combined with the first substrate 150 with the bumps 104 and 104' contacted, and the two substrates are heated to be integrated. Such integrated combinations are stacked by a desired number according to the request to make multi-functional.

⑲日本国特許庁(JP)　⑪特許出願公開

⑫公開特許公報(A)　昭61－30059

⑤Int.Cl.⁴	識別記号	庁内整理番号	④公開　昭和61年(1986)2月12日
H 01 L 27/00		8122－5F	
21/88		6708－5F	
25/04		7638－5F	審査請求　未請求　発明の数 1　(全5頁)

⑤発明の名称　半導体装置の製造方法

⑳特　願　昭59－150598
㉒出　願　昭59(1984)7月20日

⑦発明者　安本　雅昭　東京都港区芝5丁目33番1号　日本電気株式会社内
⑦発明者　葉山　浩　東京都港区芝5丁目33番1号　日本電気株式会社内
⑦発明者　筑本　忠儀　東京都港区芝5丁目33番1号　日本電気株式会社内
⑦出願人　日本電気株式会社　東京都港区芝5丁目33番1号
⑦代理人　弁理士　内原　晋

明　細　書

発明の名称　半導体装置の製造方法

特許請求の範囲

表面に絶縁層が設けられた半導体装置を半導体基板上に形成し、前記絶縁層の一部分を貫通する金属バンプを形成して得られる半導体回路基板を2枚準備し、一方あるいは両方の半導体回路基板の表面に該金属バンプを十分に覆い、しかも表面がほぼ平坦になる膜厚の絶縁性樹脂接着剤層を回転塗布し、しかる後、前記金属バンプの表面が現われるまで、該絶縁性樹脂接着剤層を一様にエッチングし、次にこれら2枚の半導体回路基板表面を互い対向させた状態で、両半導体回路基板上の金属バンプが互いに一致するようにして両半導体回路基板を接触させ、該絶縁性樹脂接着剤層を加熱，乾燥させることにより、両半導体回路基板を接着させ、しかも該金属バンプ同志を電気的に接続させることを特徴とする半導体装置の製造方法。

発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路に係り、更に詳しくは、機能が異なる半導体集積回路基板を積層して得られる多層半導体集積回路の製造方法に関する。

〔従来技術とその問題点〕

多層半導体集積回路は、トランジスタ，ダイオード，抵抗，容量等の機能素子と各機能素子間を接続する金属配線等が平面上に集積化された能動層を複数層積層した構造を持ち、単一能動層からなる現在良く知られた二次元半導体集積回路に比べて、集積回路の集積密度の向上や、多機能化が期待できる。多層半導体集積回路の製造方法として現在知られているものは、(1)第1の能動層上に形成された絶縁膜上に、レーザビーム，電子ビーム，あるいはストリップヒータ等を用いてアニールし再結晶化させたポリシリコン層(SOI構造)を形成し、(2)このポリシリコン層上に第2の能動層を形成し、以下、これらの工程を繰り返すことにより多層化する方法である(S．Kawamura，

IEDM Technical Digests, PP. 364, 1983)。しかしこの方法には、能動層を順に形成するため、製造期間が長くなる、歩留りの低下が激しい、等の短所がある。更には、各能動層の表面を平坦にする技術、既に形成されている下層の能動層の素子特性を劣化させずに新しく積層する能動層を作製する低温プロセス技術、あるいは大面積のSOI構造を形成する技術、等新たに開発を必要とする新技術が多い。

〔本発明の目的〕

本発明は、従来の多層半導体集積回路の製造方法の欠点を除去できる多層半導体集積回路の製造方法を提供することを目的とする。

〔発明の構成〕

本発明に依れば、表面に絶縁層が形成された半導体装置を半導体基板上に形成し、前記絶縁層の一部分を貫通する金属バンプを形成して得られる半導体回路基板を2枚準備し、一方あるいは両方の半導体回路基板の表面に該金属バンプを十分に覆い、しかも表面がほぼ平坦になる膜厚の絶縁性樹脂接着剤層を回転塗布し、しかる後、前記金属バンプの表面が現われるまで、該絶縁性樹脂接着剤層を一様にエッチングし、次にこれら2枚の半導体回路基板表面を互い対向させた状態で、両半導体回路基板上の金属バンプが互いに一致するようにして両半導体回路基板を接触させ、該絶縁性樹脂接着剤層を加熱，乾燥させることにより、両半導体回路基板を接着させ、しかも該金属バンプ同志を電気的に接続させることを特徴とする半導体装置の製造方法が得られる。

〔実施例〕

以下、図面を用いて本発明の実施例を詳細に説明する。第1図(a)～(f)は本発明を用いた多層半導体集積回路の製造方法の流れである。第1図(a)は、シリコン，ガリウム砒素等の半導体や二酸化シリコン，サファイア等の絶縁体からなる基板101上に、機能素子、およびこれらを互いに接続するアルミニウム等の金属配線からなる能動層102と、102を保護する二酸化シリコン等の絶縁層103を形成した半導体回路基板1を示したものである。この半導体回路基板1は、通常の二次元集積回路を製造するプロセス、例えばNMOSプロセス，PMOSプロセス，CMOSプロセス，バイポーラプロセス，等により作製される。

次に第1図(b)に示すように、上の103の一部に開口部を設け、この開口部に金等の金属バンプ104を形成する。第1図(b)を形成する方法として、写真蝕刻法を用いてパターン化されたフォトレジストをマスクとし、フッ酸等の薬品を用いて二酸化シリコン等の103を開口した後、真空蒸着等により103の膜厚より厚い、金等の金属膜を形成し、最後にフォトレジストを除去（リフトオッフ法と言う）し、金属バンプ104を形成する方法等がある。尚、104は能動層102と機能的に接続されている。

この後、第1図(c)に示すように、絶縁層103、および104上に、104を完全に覆い、しかも表面が殆ど平坦化される膜厚のポリイミド系樹脂等の絶縁性樹脂接着剤をスピン塗布する。例えば、金属バンプの高さを能動層102の表面から測って1.5μmとし、ポリイミド系樹脂の膜厚が2.5μm程度になるように、スピン速度やスピン時間を選ぶと、塗布後の表面はほぼ平坦になる。次に酸素プラズマ中等で絶縁性樹脂接着剤層を表面から一様に金属バンプ104の表面が現われるまでエッチングする。

この結果、第1図(d)に示されているように、金属バンプ104が露出し、それ以外の部分が平坦な絶縁性樹脂接着剤層105でおおわれた半導体回路基板1が得られる。以上の工程を経た半導体回路基板を2枚準備し、一方の表面を上向きに、他方の表面を下向きにし、これらの半導体回路基板に設けられた金属バンプの位置が互いに一致するように目合せを行なう〔第1図(e)〕。以下の説明では、下の半導体回路基板を第1の回路基板150，上の半導体回路基板を第2の回路基板151と称する。図面番号は、150が第1図(d)の番号を、151が第1図(d)の番号にダッシュがついたものを使用する。

目合せ方法の1例として、縮少投影露光機等に

用いられているオフ・アクシス法がある。目合せ装置内に2か所の目合せ場所を設ける。それぞれの目合せ場所にはチップあるいはウェハーを固定するステージと目合せ基準マークが設けられている。2か所の目合せ基準マークの距離はあらかじめ決められている。まず、150，151をそれぞれのステージに固定した後、ステージを移動させ、それぞれの目合せ基準マークと一致させる。次に、一方、例えば150が固定されているステージを目合せ基準マーク間の距離だけ移動させ、150が151の直下へ来るようにする。この結果、150と151はステージを移動させる機械的な精度内で目合せされる。

最後に、150と151の平面方向の相対位置を保った状態で、150と151を接触，加熱し、105，105'を乾燥させることにより、105と105'を接着させ、第1図(f)に示されている多層半導体集積回路が実現できる。この時、金属バンプ104，104'も接触し、150と151は、104，104'を介して電気的に接続される。105，105'がポリイミド系樹脂の場合、加熱する温度は250～400℃，時間は20～60分である。加熱時に150と151'の間にある一定の圧力を加えれば、104と104'は互いに拡散溶接され、104，104'間の電気抵抗が非常に小さくなる他、150と151'の接着力も強化される。

第2図は、本発明の製造方法を用いて作製された2層半導体集積回路の一例である。201は第1の回路基板（以下下層と称する）250のシリコン等の基板，202は二酸化シリコン等の絶縁膜，220は、ソース，ドレイン203，205，チャネル204，ゲート206がSOI構造上に作製された下層の薄膜トランジスタである。207は下層の金属配線，208は、下層の絶縁層である。また、209は、下層の金属バンプ，210は下層の絶縁性樹脂接着剤層である。尚、第2の回路基板（以下、上層と称する）251のうち、下層と同一素子は、下層の素子番号にダッシュが付けられている。第2図に示されているように、上下層の薄膜トランジスタ，220，220'のソース，ドレイン205，205'は、金属配線、207，207'および金属バンプ209，209'を介して接続され、目的とする回路を形成することができる。

第2図は、2層半導体集積回路について示されているが、上下層に、それぞれ、従来方式を用いて作製されたk層，k'層半導体集積回路を用いれば、（k＋k'）層の多層集積回路も実現できる。あるいは、第2図において、上層の絶縁膜202'を貫通する垂直配線をあらかじめ設けておき、本発明を用いて上下層を積層した後、上層の基板201'を除去し、再び本発明を用いて、第3の回路基板を積層する工程を繰り返せば3層以上の多層半導体集積回路も実現できる。3層積層した場合の一例を第3図に示す。301は、第1の回路基板で第2図の250に相等する。302は第2の回路基板で第2図の251から基板201'を除去したものに相等する。301，302を構成する素子名は、第2図のそれと等しい。新しく追加されている部分は、絶縁膜202'を貫通する金やアルミニウム等からなる垂直配線304である。303は、第3の回路基板である。311は基板，305は、絶縁膜，306は薄膜トランジスタ，307は、金属配線，308は、絶縁層，309は、金属バンプ，310は、第3の回路基板上に形成された絶縁性樹脂接着剤層である。306は、307，309，209'を介して電気的に、207'と接続されるから、第1，第2，第3の回路基板は、機能的に接続される。

第1図の説明では、絶縁性樹脂接着剤層を第1および第2の回路基板に形成する場合について説明したが、一方の回路基板にのみ形成する場合であってもかまわない。また、第2図，第3図において、各層の回路基板としてSOI構造を示したが、これに限るものでない。全く異なる基板、たとえばシリコン基板とSOS基板，シリコン基板とガリウム砒素基板でもかまわない。あるいは、全く異なる機能、例えば、CMOS集積回路とイメージセンサ，信号処理用集積回路と発光，受光素子との組み合わせ等でもよい。また、第1の回路基板と第2の回路基板のサイズが異なってもかまわない。例えば、ウェハースケール集積回路上に板

数個の小さなチップを積層する場合も考えられる。

〔発明の効果〕

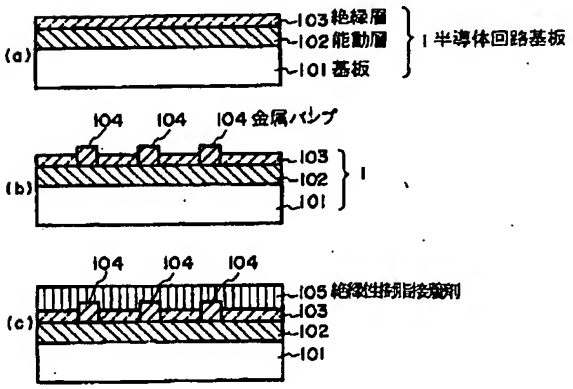
本発明に依れば、各層の能動層は並行して同時に作製できるから従来の多層半導体集積回路の製造方法に比べて製造期間が短縮できる。また、各層の能動層をあらかじめ検査し、正常な動作をするもののみ積層すれば歩留りの向上が期待できる。また、レーザアニール技術等による大面積ＳＯＩ製造技術の開発を待たずして、バルク基板やSOS基板を用いた多層半導体集積回路が実現できるから、開発スピードが早い。また、積層するプロセスが低温プロセスである，絶縁性樹脂接着剤層を形成する工程で各層の回路基板表面が平坦化される，等、今までの製造方法の欠点を除去できる。更には、各層の回路基板の構造，製造プロセスに制限がないから、多機能化等、今までの製造方法では、考えられなかった応用も可能となる。

図面の簡単な説明

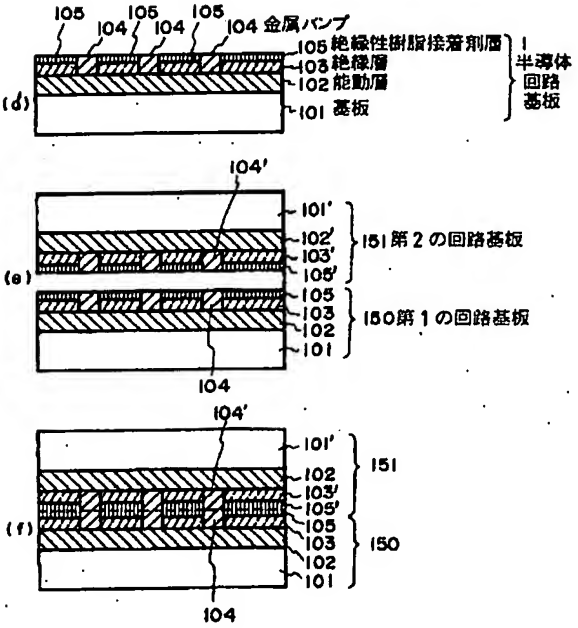
第１図(a)～(d)は本発明による多層半導体集積回路の製造方法の流れを説明するための断面図である。101，102，103，104，105はそれぞれ、基板，能動層，絶縁層，金属バンプ，絶縁性樹脂接着剤層である。また150，151は、第１の回路基板，第２の回路基板である。第２図，第３図は、本発明の応用例の断面図で、それぞれ２層半導体集積回路，３層半導体集積回路を示したものである。250，301は第１の回路基板，251，302は第２の回路基板，303は第３の回路基板である。

代理人 弁理士 内原 晋

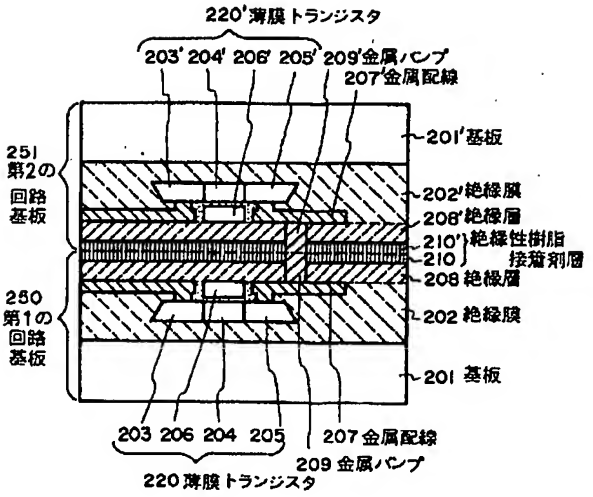
第１図



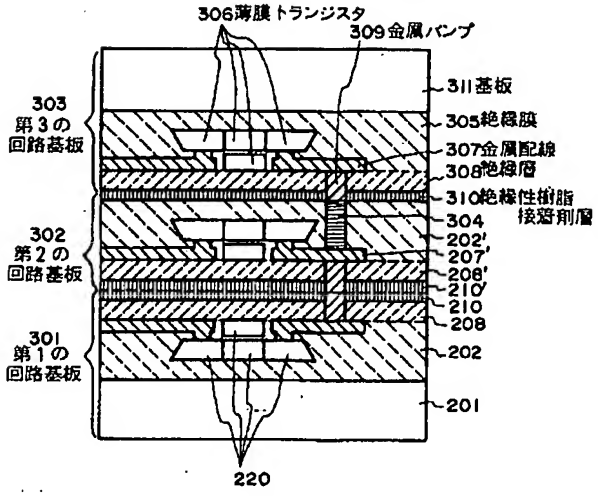
第１図



第2図


220'薄膜トランジスタ
203' 204' 206' 205' 209'金属バンプ
207'金属配線
201'基板
251
第2の
回路
基板
202'絶縁膜
208'絶縁層
210'
210
接着剤層
208 絶縁層
250
第1の
回路
基板
202 絶縁膜
201 基板
203 206 204 205
207 金属配線
209 金属バンプ
220 薄膜トランジスタ

第3図


306薄膜トランジスタ
309金属バンプ
311基板
303
第3の
回路基板
305絶縁膜
307金属配線
308絶縁層
310絶縁性樹脂
接着剤層
304
202'
207'
208'
210'
210
208
202
302
第2の
回路基板
301
第1の
回路基板
201
220